

小論文

MOS 系半導体デバイスの付着浮遊微粒子による 静電耐量の低下

樋口 弘志*, 前田 宗雄*, 山内 健次*, 高橋 伸夫*
(1990年5月18日受理)

ESD Susceptibility of MOS Type Semiconductor
Device Caused by Particle Contamination
H. HIGUCHI,* M. MAEDA,* K. YAMAUCHI*
and N. TAKAHASHI*
(Received May 18, 1990)

A particle contamination on silicon wafers causes an ESD damage to semiconductors. This paper describes an influence of particle contamination in manufacturing process of the MOS semiconductor. Experiments were made on the ESD damage of C-MOS 74HC04 under a condition that electrostatic forces and particle contamination were applied experimentally to it in a source-drain lithography and a gate oxidation process. Experimental results show that a device yield and ESD susceptibility of the contaminated C-MOS 74HC04 decrease and are lower than those of TTL 74S04 in the same conditions.

1. ま え が き

半導体デバイスの静電耐量の低下要因にウェハ製造工程での浮遊微粒子による汚染がある。汚染の一因としては、帯電したシリコン・ウェハへの浮遊微粒子の付着がある¹⁾。半導体デバイスは高インピーダンス系の MOS と低インピーダンス系のバイポーラにわけられる。ウェハ製造工程での浮遊微粒子による汚染の影響は構造上から MOS 系デバイスに多く、デバイスの設計、製造方法、工程管理に特別な対策がなされている。バイポーラ系デバイスは高速性や高周波特性を要求されることが多く、保護回路等の特別な配慮はなされていない場合が多い。それで筆者らは高速低インピーダンス系のバイポーラ論理デバイスの付着浮遊微粒子の影響について報告した¹⁾。一方、MOS 系デバイスは障害が多いにもかかわらず研究報告例は少ない。

本研究は、MOS 系デバイスのウェハ製造工程における付着浮遊微粒子の影響を解明するためにチップと最終組立て品の歩留りや電気的特性および静電耐量等の関係について調べ、バイポーラ系デバイスと比較、検討

した。

2. 実 験

クリーン・ルーム内に分布した浮遊微粒子がシリコン・ウェハに沈着する可能性は全工程にある¹⁾。ここではレーザ光線による可視化方法²⁻⁴⁾を用いて、シリコン・ウェハ近傍及び表面での浮遊微粒子の挙動と沈着の様子を測定した。

MOS 製造プロセスとしては C-MOS・プロセスを用い、試料は高速論理系 C-MOS・デバイス 74HC04 である。ここでは、強制的に静電気をシリコン・ウェハに帯電させて、そのクーロン力で浮遊微粒子を吸着させた。対象とした工程は二つで、一つはソース・ドレイン窓開き工程(水平置き)、もう一つはゲート酸化膜工程(垂直置き)である。この二つの工程で、シリコン・ウェハの表面に電位(電位 $V: 0 \sim 5 \text{ kV}$, 電界 $E: 0 \sim 100 \text{ V/cm}$)を与え、帯電と中和状態の浮遊微粒子をシリコン・ウェハ表面に沈着させ、付着数と沈着速度を測定した。表1は実験におけるシリコン・ウェハと浮遊微粒子の帯電条件の組合せを示す。ここで S は標準工程、他は条件つきである。組み合わせは浮遊微粒子の径 ($A=0.3$, $B=1.0$, $C=3.0 \mu\text{m}$) に対する浮遊微粒子の帯電電位(添字 $X=0$, $Y=-3 \text{ kV}$) とシリコン・ウェハの帯電電位(添字 $1=1$, $3=3$, $5=5 \text{ kV}$) である。

キーワード: 付着浮遊微粒子, 静電気力, 静電耐量, ゲート酸化膜工程, ソース・ドレイン窓開き工程

* 姫路工業大学 (671-22 姫路市書写 2167)

Himeji Institute of Technology, 2167, Shosha,
Himeji, 671-22 Japan

表1 シリコン・ウェハの帯電の組合せ

Table 1 Matrix of silicon wafer for charging.

Specimen condition	Matrix of silicon wafer															
	S	A _x	B _x	C _x	A _r	B _r	C _r	A ₁	B ₁	C ₁	A ₃	B ₃	C ₃	A ₅	B ₅	C ₅
Uncharged particle		○	○	○												
-3 kV Charged particle					○	○	○	○	○	○	○	○	○	○	○	○
1 kV Charged wafer								○	○	○						
3 kV Charged wafer											○	○	○			
5 kV Charged wafer		○	○	○										○	○	○

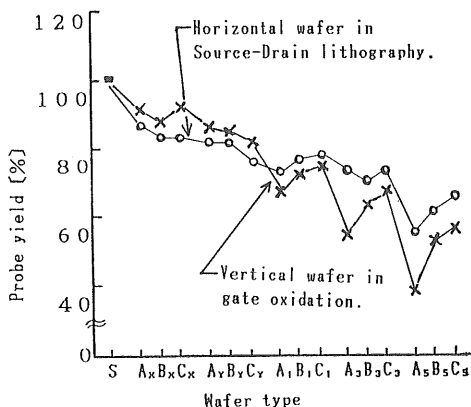


図1 74HC04 のプローブ歩留り
Fig. 1 Probe yield of 74HC04.

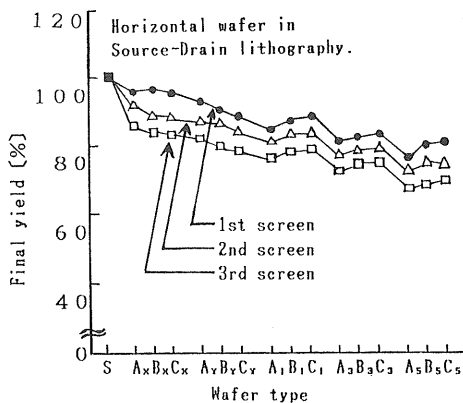
シリコン・ウェハの垂直置きと水平置きに対する付着密度と沈着速度の実験方法と結果は筆者らの先の論文と全く同じであり¹⁾、また以下の実験も方法は同じである²⁾。このような条件下で製造された 74HC04 のチップはプローブ・テスト (直流電気特性試験) され、そして組み立てられた後ファイナル・テスト (電気特性試験) されて完成品となる。この完成品はカーブ・トレーサで I-V 特性 (耐圧) を測定し、コンデンサ放電法の静電破壊試験機で静電耐量を評価した。

3. 実験結果と考察

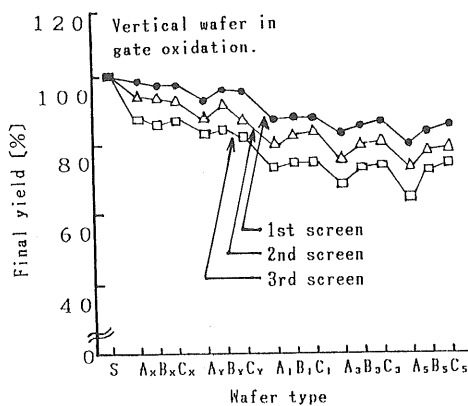
3.1 デバイスの歩留り

図1はチップの完成後のマルチ・プローブ・テストで、汚染されたチップは全体的に歩留りが低く、特にゲート酸化膜工程ではウェハが垂直置きで付着浮遊微粒子がソース・ドレイン窓開き工程 (水平置き) のそれよりも少ないにもかかわらず顕著であった。

図2(a)と(b)は組立て完成後のファイナル・テストの歩留りを示す。ただし正常な 74HC04 の歩留りとの相対的な値である。ファイナル・テストでは同じテストを三度



(a)



(b)

図2 74HC04 のファイナル歩留り
(a) ソース・ドレイン窓開き工程に適用した場合
(b) ゲート酸化膜工程に適用した場合

Fig. 2 Final yield of 74HC04.
(a) Final yield (S/D lithography)
(b) Final yield (Gate oxidation)

繰り返しても、汚染されたデバイスは故障の収束性がなかった。これはファイナル・テストでは組立て工程を経ているためデバイスに熱の履歴が加わり、そのためチッ

ブに付着した浮遊微粒子がイオン化して故障が収束しなかったと考えられる。

いずれのテストでも故障の大部分は耐圧劣化であった。

先の実験では表面に帯電したシリコン・ウェハほど付着浮遊微粒子量が多く¹⁾、歩留りは径の大きさに関係したが、74HC04は実験結果から径の大きさよりも付着浮遊微粒子量に大きく影響されることが判明した。また74HC04は高密度であり、微細加工(デザイン・ルール: $2\sim 4\ \mu\text{m}$)で製造されているため径の小さい微粒子も影響を与えると考えられる。

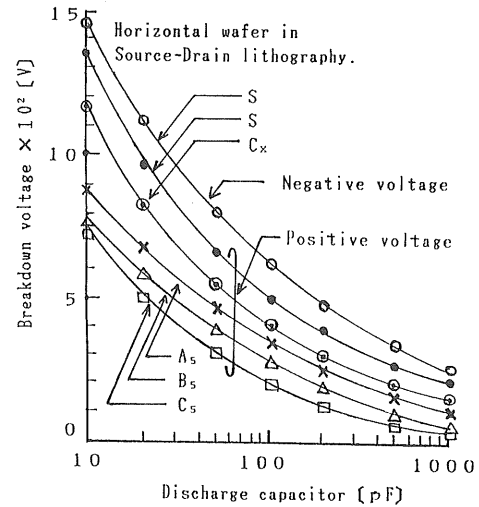
3.2 静電耐量の評価試験

図3(a)と(b)はコンデンサ放電法(容量 $C_D=10\sim 1000\ \text{pF}$)による静電耐量の評価結果である。正常品は参考のため正と負、汚染されたデバイスには正電圧を印加した。標準品Sの正の静電耐量は放電容量 $C_D=100\ \text{pF}$ のとき $500\ \text{V}$ であり、破壊エネルギーを求めると $E_D=1.25\times 10^{-5}\ \text{J}$ である。ゲート酸化膜工程で帯電状態($5\ \text{kV}$)のシリコン・ウェハに付着した帯電浮遊微粒子(径 $0.3\ \mu\text{m}$)による汚染デバイス A_5 の静電耐量は $100\ \text{V}$ 、破壊エネルギーは $E_D=5\times 10^{-7}\ \text{J}$ であり、標準品と比べて電圧で80%、エネルギーで99.8%の低下が見られた。MOS系デバイスは一般に回路設計の段階から静電気対策がなされているため静電耐量は同じ機能のバイポーラ系デバイスよりも大きい。標準品の74HC04と同じ機能の74S04を比べると、 $C_D=100\ \text{pF}$ のとき約 $200\ \text{V}$ 高い。しかし汚染された両デバイスは $100\ \text{V}$ 前後、破壊エネルギーは $10^{-7}\ \text{J}$ のオーダーであった。

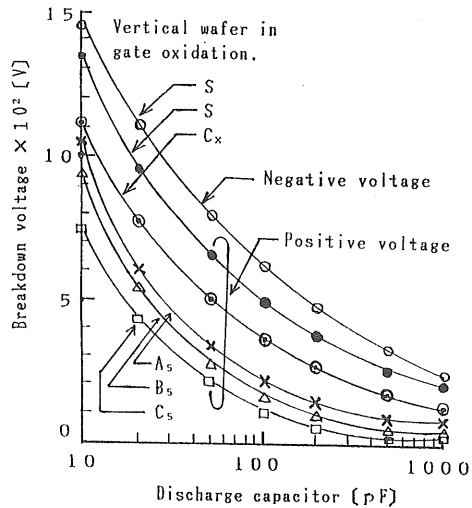
4. あとがき

MOS系半導体デバイスの静電耐量の劣化を解明するために74HC04のウェハ製造工程で、人工的にシリコン・ウェハ表面に静電気のクーロン力で浮遊微粒子を付着させ、チップとデバイスの歩留り、耐圧、そして静電耐量等に与える影響を評価した。これらより次の結果を得た。

- (1) ゲート酸化膜工程(垂直置き)においてはシリコン・ウェハの付着浮遊微粒子がソース・ドレイン窓開き工程(水平置き)よりも少ないにもかかわらず歩留りが低かった。
- (2) 帯電($5\ \text{kV}$)したシリコン・ウェハ(ゲート酸化膜工程に沈着した帯電浮遊微粒子(径 $0.3\ \mu\text{m}$)による汚染デバイス A_5 は正常品Sと比べて相対的にプローブ歩留りは52%、ファイナル歩留りは35%、そしてトータルの歩留りでは68.8%も低かった。同じように耐圧は16%、静電耐量では80%の低下が見られ



(a)



(b)

図3 74HC04の静電耐量

- (a) ソース・ドレイン窓開き工程に適用した場合
- (b) ゲート酸化膜工程に適用した場合

Fig. 3 ESD stress susceptibility of 74HC04.

- (a) ESD susceptibility (S/D lithography)
- (b) ESD susceptibility (Gate oxidation)

た。

- (3) バイポーラ系論理デバイス74S04と同じ条件で実験したMOS系論理デバイス74HC04はプローブ歩留り、ファイナル歩留り、耐圧、静電耐量のすべてにおいて低下が見られ、明らかにMOS系デバイスは付着浮遊微粒子による影響を受けやすいことがわかった。

以上により、クリーン・ルーム内でのシリコン・ウェ

への付着浮遊微粒子は静電耐量の低下に大きく影響する。

参 考 文 献

1) 樋口弘志, 前田宗雄, 山内健次, 高橋伸夫: 静電気学会

誌, 14 (1990) 307

2) S. Murakami, S. Kato and S. Chirifu: J. of the Flow Visualization Soc. of Jpn., 5 (1985) 229

3) I. Hayakawa, S. Fuji and K.Y. Kim: Aerosol Sci. and Technol., 7 (1987) 47

4) 井上正憲, 池鯉鮒悟, 阪田総一郎, 吉田隆紀, 岡田孝夫: 信学技報, R88-15 (1988) 19